

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-202719

(43)Date of publication of application : 22.08.1988

(51)Int.Cl.

G02F 1/133
G09F 9/30
G09G 3/36
H01L 27/12

(21)Application number : 62-036988

(71)Applicant : FUJITSU LTD

(22)Date of filing : 19.02.1987

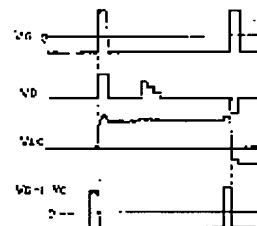
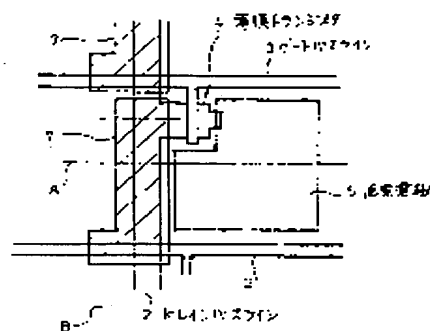
(72)Inventor : ICHIMURA TERUHIKO
KAWAI SATORU
NASU YASUHIRO
MATSUMOTO TOMOTAKA
TATSUOKA KOICHI

(54) THIN FILM TRANSISTOR MATRIX

(57)Abstract:

PURPOSE: To prevent voltage fluctuation of picture element electrodes by the potential of a drain bus line by forming a conductive film via a protective insulating film on the drain bus line.

CONSTITUTION: Since the scanning sequence of the conductive film 7 is connected to a gate bus line 3' of the previous position, the potential VC thereof is kept at the low potential equal to the potential VG-1 of the gate bus line 3' of the previous position when a corresponding gate electrode is selected. The conductive film 7, therefore, acts as a sealing film between the picture element electrode 5 and the drain bus line 2 and the capacity CDS between both is lost of the capacity component CDS1 between the front faces out of the two capacity components and is only the capacity component CDS2 between the rear faces. The size of these two capacity components is larger with CDS1 the capacity component of which is about 3 times the capacity component of CDS2 and, therefore, the capacity CDS between the picture element electrode 5 and the drain bus line 2 is extremely small. The influence of the potential VD of the line 2 on the potential VLC of the picture element electrode 5 is consequently extremely lessened, by which the undesirable voltage fluctuation is suppressed and the good image quality is obt'd.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIN FILM TRANSISTOR MATRIX

Patent Number: JP63202719
Publication date: 1988-08-22
Inventor(s): ICHIMURA TERUHIKO; others: 04
Applicant(s):: FUJITSU LTD
Requested Patent: JP63202719
Application Number: JP19870036988 19870219
Priority Number(s):
IPC Classification: G02F1/133 ; G09F9/30 ; G09G3/36 ; H01L27/12
EC Classification:
Equivalents: JP2070342C, JP7111519B

Abstract

PURPOSE: To prevent voltage fluctuation of picture element electrodes by the potential of a drain bus line by forming a conductive film via a protective insulating film on the drain bus line.

CONSTITUTION: Since the scanning sequence of the conductive film 7 is connected to a gate bus line 3' of the previous position, the potential VC thereof is kept at the low potential equal to the potential VG-1 of the gate bus line 3' of the previous position when a corresponding gate electrode is selected. The conductive film 7, therefore, acts as a sealing film between the picture element electrode 5 and the drain bus line 2 and the capacity CDS between both is lost of the capacity component CDS1 between the front faces out of the two capacity components and is only the capacity component CDS2 between the rear faces. The size of these



A199070901W0 (FIV)

⑨ 日本国特許庁 (J P)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭63-202719

⑮ Int. Cl. 4

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)8月22日

G 02 F 1/133
G 09 F 9/30
G 09 G 3/363 2 7
3 3 87370-2H
C-7335-5C
8621-5C

※審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 薄膜トランジスタマトリクス

⑯ 特 願 昭62-36988

⑰ 出 願 昭62(1987)2月19日

⑱ 発 明 者 市 村 照 彦 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑱ 発 明 者 川 井 悟 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑱ 発 明 者 那 須 安 宏 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑱ 発 明 者 松 本 友 孝 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
⑳ 代 理 人 弁理士 井 桁 貞一
最終頁に続く

明 細 書

1. 発明の名称

薄膜トランジスタマトリクス

2. 特許請求の範囲

透明絶縁性基板(1)上にマトリクス状に配列された画素対応の薄膜トランジスタ(4)及び該薄膜トランジスタに駆動される表示セルの画素電極(5)と、前記画素の行方向に配設されたゲートバスライン(3,3')及び列方向に配設されたドレインバスライン(2)とを具備する薄膜トランジスタマトリクスにおいて、

前記ドレインバスライン(2)上に保護絶縁膜(6)を介して導電膜(7)を形成し、且つ該導電膜を走査順位が前位のゲートバスライン(3')と接続してシールド膜としたことを特徴とする薄膜トランジスタマトリクス。

3. 発明の詳細な説明

(概 要)

本発明は、薄膜トランジスタ(TFT)マトリ

クス液晶表示装置において、ドレインバスラインの電圧が画素電極に影響することを防ぐため、ドレインバスライン上に保護絶縁膜を介して導電膜を形成したことにより、画素電極の電位がドレインバスラインの電圧に影響されないようにしたものである。

(産業上の利用分野)

本発明は、TFTマトリクス液晶表示装置の構造、特にTFTマトリクスに関する。

(従来の技術)

鮮明な画像を得るには画素電極の電圧を正確に制御する必要がある。しかしバスラインとの容量結合が生じ、画素電極の電圧が変動してしまう。このため、画素電極の電圧変動を抑える構造が必要である。

第3図(a)は従来のTFTマトリクスの構造を示す図で、図中、1はガラス基板、2はドレインバスライン、3はゲートバスライン、4はTFT、

5は画素電極である。同図に示すように、従来のTFTマトリクスは、ドレインバスライン2と画素電極5とが、接近して配置された構造を有する。

そのため、画素電極5とドレインバスライン2との間に容量 C_{02} が生じる。

この容量 C_{02} は、同図(a)に見られる如く、画素電極5及びドレインバスライン2表面同士の間容量成分 C_{021} と裏面同士の間容量成分 C_{022} とからなり、従って $C_{02} = C_{021} + C_{022}$ で表される。

上記容量 C_{02} によってドレインバスライン2と画素電極5とが結合され、ドレインバスライン2の電圧変化によって、画素電極5の電位が容易に変動する。

〔発明が解決しようとする問題点〕

上述したように従来のTFTマトリクスの構成では、画素電極5とドレインバスライン2との間の容量 C_{02} に二つの容量成分を含むので、その値が大きくなり、そのため画素電極5の電位がドレ

電極が選択された時、その電位 V_0 は同図(a)に示すように前位のゲートバスライン3'の電位 $V_{0'}$ と等しく、低電位に保たれる。従って導電膜7は画素電極5とドレインバスライン2間のシールド膜として働き、両者間の容量 C_{02} は、上記二つの容量成分のうち表面同士の間容量成分 C_{021} がなくなり、裏面同士の間容量成分 C_{022} のみとなる。

この二つの容量成分の大きさは、 C_{021} の方が大きく、 C_{022} の凡そ3倍程度あるので、画素電極5とドレインバスライン2間の容量 C_{02} は非常に小さくなり、そのため、画素電極5の電位 V_0 に対するドレインバスライン2の電位 V_2 の影響は非常に小さくなり、望ましくない電圧変動が抑制され、良好な画質が得られる。

〔実施例〕

以下第2図(a)～(d)により本発明の一実施例を、その製造工程とともに説明する。なお、第2図は前記第1図(a)の一点鎖線Bで示す部分の断面図で

イン電圧の変化によって容易に影響されるという問題がある。

本発明の目的は、画素電極とドレインバスラインとの間の容量を減少させ、ドレインバスラインの電位による画素電極の電圧変動を防止することにある。

〔問題点を解決するための手段〕

本発明においては、第1図(a)、(b)に示すように、透明絶縁性基板1上に形成されたドレインバスライン2の上に、保護絶縁膜6を介して導電膜7を形成するとともに、この導電膜7を、走査順位が当該液晶セルの一つ前の順位を有するゲートバスラインに接続して、上記導電膜7をシールド膜とした。なお上記第1図(b)は、同図(a)の二点鎖線Aで示す部分の断面図である。

〔作 用〕

上記導電膜7は走査順位が前位のゲートバスライン3'に接続されているため、対応するゲート

ある。

先ず同図(a)に示すように、ガラス基板1上に、ドレインバスライン2及びゲートバスライン3を選択的に形成する。

次いで同図(b)に示すように、その上に保護絶縁膜6を形成する。

次いで同図(c)に示す如く、ゲートバスライン3上に開口を有するレジスト膜8を形成する。

次いで同図(d)に示すように、上記レジスト膜8をマスクとして保護絶縁膜6を選択的に除去して開口9を形成した後、上記マスクとして用いたレジスト膜8を除去する。

次いで同図(e)に示す如く、上記開口9上を含む保護絶縁膜6上に、導電膜7を形成する。

次いで同図(f)に示す如く、上記導電膜7上に該導電膜7のパターニング用のレジスト膜10を形成する。

次いで同図(g)に示すように、上記レジスト膜10をマスクとして導電膜7の露出部を選択的に除去して、前記第1図(a)に見られる如く、導電膜を各

画素電極5対応に分離するとともに、該分離された導電膜7を、走査順位が対応する画素の前位の画素のゲートバスライン3'に接続する。この後レジスト膜10を除去する。

以上のようにして得られたTFTマトリクスは、前述したように、ドレインバスライン2の各画素に対応する部分、即ち該画素電極5に対応するドレイン電極上を、保護絶縁膜6を介して導電膜7が被覆し、この導電膜7は、走査順位が前位の画素に対応するゲートバスライン3'に接続されている。このため、走査時に当該画素が選択された時には、対応する導電膜7は、直前に走査が終了し、低電位となったゲートバスライン3'の電位 V_{Lc} に保たれ、当該画素の走査が終了する直前までこの電位に保持される。従って、当該画素電極5とドレインバスライン2間には導電膜7によってシールドされていることとなり、画素電極5の電位 V_{Lc} に対してドレインバスライン2の電位 V_{Lc} の変動による影響を受けることがなく、良好な画質が得られる。

なお本発明は、スタガード型及び逆スタガード型TFTマトリクスの何れにも適用できる。

(発明 効果)

以上説明した如く本発明によれば、容量結合による画素電極の電圧変動を抑制することができ、鮮明な画像を得るためのこまかな電圧制御が可能となる。

4. 図面の簡単な説明

第1図(a)～(c)は本発明の原理説明図、

第2図(a)～(d)は本発明位置実施例の説明図、

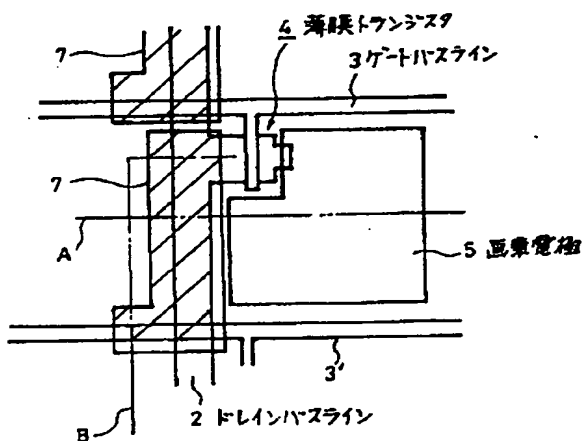
第3図(a)、(b)は従来のTFTマトリクス説明図である。

図において、1は絶縁性基板、2はドレインバスライン、3、3'はゲートバスライン、4はTFT、5は画素電極、6は保護絶縁膜、7は導電膜を示す。

代理人 弁理士 井 桁 貞 一

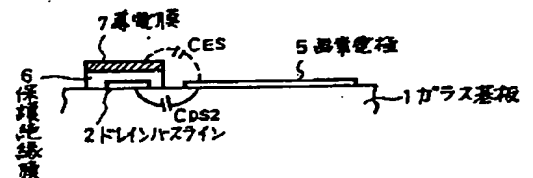


(a)

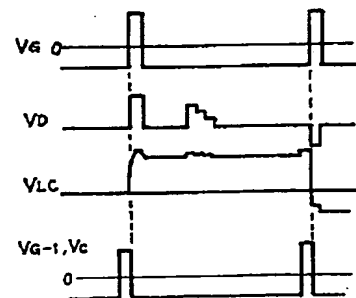


本発明の原理説明図
第1図

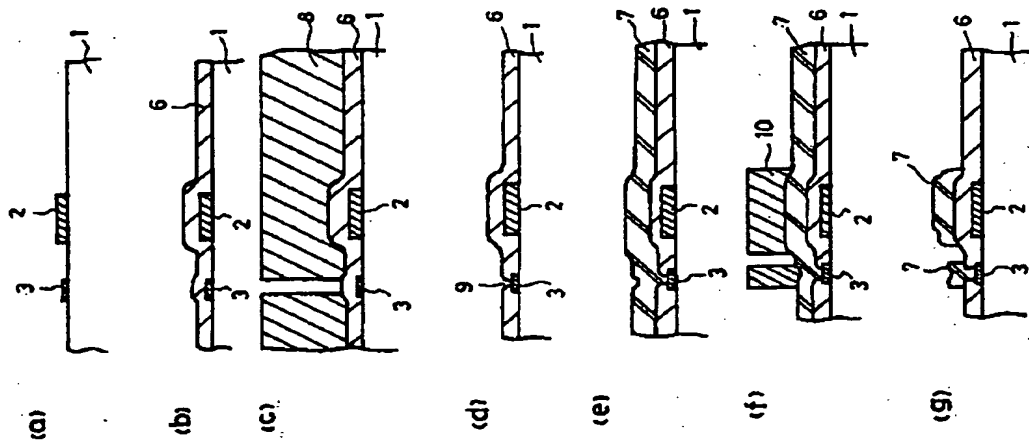
(b)



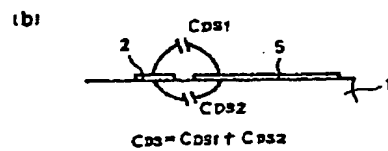
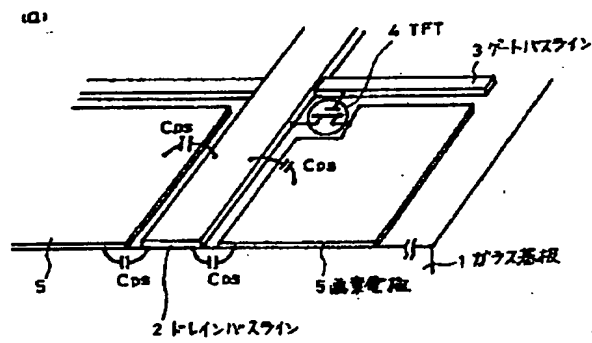
(c)



本発明の原理説明図
第1図



本発明一実施例説明図
第2図



従来のTFT素子説明図
第3図

第1頁の続き

⑤Int.Cl.⁴

H 01 L 27/12

識別記号

庁内整理番号

7514-5F

⑦発 明 者 立 岡

浩 一

神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内